



## 【特許請求の範囲】

1. 第1の場所に対応する第1のソース・アドレスと、第2の場所に対応する第2のソース・アドレスと、第3の場所に対応する宛先アドレスと、あるタイプのバックされたデータのシフト演算を行うことを示す命令フィールドとを有する制御信号を受信するように結合されたデコーダと、

前記デコーダに結合され、前記第1の場所に格納されている第1のバックされたデータを前記第2の場所に格納されている値によってシフトし、対応するバックされた結果データを前記第3の場所に伝達する回路とを備えるプロセッサ。

2. 前記第1のバックされたデータが複数のデータ要素を含み、前記複数のデータ要素の各データ要素がサイズを有し、前記命令フィールドが前記サイズに対応する標識をさらに含むことを特徴とする、請求項1に記載のプロセッサ。

3. 前記サイズがバックされたバイトとバックされたワードとバックされたダブルワードとのうちの1つであることを特徴とする、請求項2に記載のプロセッサ。

4. 前記第1のバックされたデータが64ビットであることを特徴とする、請求項2に記載のプロセッサ。

5. 前記宛先アドレスが前記第1のソース・アドレスであることを特徴とする、請求項1に記載のプロセッサ。

6. 前記命令フィールドが符号標識を含み、前記符号標識が前記シフトを符号付きと無符号のどちらで行うかを決定することを特徴とする、請求項1に記載のプロセッサ。

7. 前記タイプのバックされたデータのシフト演算が右シフト論理演算と右シフト算術演算と左シフト演算とのうちの1つであることを特徴とする、請求項1に記載のプロセッサ。

8. 前記プロセッサが、レジスタを含むレジスタ・ファイルを備え、前記第2の場所が前記レジスタに対応することを特徴とする、請求項1に記載のプロセッサ。

9. 前記第1の場所が記憶場所に対応することを特徴とする、請求項8に記載のプロセッサ。

10. デコーダが機能ユニットと第1のレジスタと第2のレジスタとに結合され

前記デコーダと前記機能ユニットと前記第1のレジスタと前記第2のレジスタとを有するプロセッサにおいて、バックされたデータをシフトする方法であって、

前記デコーダが制御信号をデコードするステップと、

前記第1のレジスタに格納された第1のバックされたデータにアクセスするステップと、

前記第2のレジスタに格納されたシフト値にアクセスするステップと、

前記制御信号をデコードする前記デコーダにตอบสนองして、前記機能ユニットが前記第1のバックされたデータ内の各データ要素を前記シフト値によってシフトしてバックされた結果データを生成するステップと、

前記バックされた結果データを前記第1のレジスタに格納するステップとを含む方法。

11. 前記制御信号があるタイプのシフト標識を含み、前記タイプのシフト標識が左シフト演算と右シフト算術演算と右シフト論理演算のグループのうちの1つのシフト演算を示すことを特徴とする、請求項10に記載の方法。

12. 前記第1のバックされたデータが複数のデータ要素を含み、前記複数のデータ要素の各データ要素が所定のビット数によって表され、前記制御信号がサイズ標識を含み、前記サイズ標識が前記所定のビット数を示すことを特徴とする、請求項10に記載の方法。

13. 前記第1のレジスタが64ビット長であり、前記第1のバックされたデータが8個のバックされたバイト・データ要素を含むことを特徴とする、請求項10に記載の方法。

14. シフト演算を有するプロセッサであって、

即値によるシフト演算を示す制御信号を受信する制御信号入力を有するデコーダと、

バックされたデータを格納するレジスタと、

前記デコーダと前記レジスタとに結合され、前記バックされたデータ内の各デ

ータ要素を前記即値によってシフトする機能ユニットとを備えるプロセッサ。

15. 前記プロセッサが宛先レジスタを備え、前記宛先レジスタが前記機能ユニットに結合され、前記機能ユニットがさらにバックされたデータを生成し、前記

宛先レジスタが前記バックされた結果データを格納することを特徴とする、請求項14に記載のプロセッサ。

## 【発明の詳細な説明】

シフト演算機能を有する新規なプロセッサ発明の背景1. 発明の分野

特に、本発明は、単一の制御信号を使用して複数のデータ要素を操作する算術演算（オペレーション）を行う装置および方法に関する。本発明は、バックされたデータ・タイプに対するシフト演算の実行を可能にする。

2. 関連技術の説明

現在、ほとんどのパーソナル・コンピュータ・システムは1つの命令によって演算（オペレーション）を行って1つの結果を出す。命令の実行速度とプロセッサ命令の複雑さを増すことによって、パフォーマンスの向上が実現され、これは複雑命令セット・コンピュータ（CISC）と呼ばれる。米国カリフォルニア州サンタクララのインテル・コーポレーションが販売するIntel 80286™マイクロプロセッサのようなプロセッサがCISCプロセッサの範疇に入る。

以前のコンピュータ・システム・アーキテクチャは、CISCの概念を利用するように最適化されていた。そのようなシステムは一般に、32ビット幅のデータ・バスを持つ。しかし、コンピュータ・サポーテッド・コオペレーション（CSC：電子会議と混在メディア・データ操作を統合したもの）、二次元/三次元グラフィックス、画像処理、ビデオ圧縮/圧縮解除、認識アルゴリズム、および音声操作を対象にしたアプリケーションによって、パフォーマンス向上の必要が増す。しかし、命令の実行速度と複雑さを増すことが唯一の解決策である。

これらのアプリケーションの1つの一般的な点は、数ビットだけが重要な、大量のデータを操作することが多いことである。すなわち、意味のあるビットがデータ・バスのサイズよりもはるかに少ないビット数で表されるデータである。た

例えば、プロセッサは8ビットおよび16ビットのデータ（たとえばビデオ画像における画素の色成分）に対して多くの演算を実行するが、それよりかなり広いデータ・バスとレジスタを有する。したがって、32ビットのデータ・バスとレジスタを有し、これらのアルゴリズムの1つを実行するプロセッサは、データの

先頭8ビットだけが重要であるので、そのデータの処理、伝送、および記憶容量の最大75パーセントが無駄になることがある。

したがって、操作するデータを表すのに必要なビット数とプロセッサの実際のデータ伝送および記憶容量との差をより効率的に使用することによってパフォーマンスを向上させるプロセッサが望ましい。

#### 発明の概要

複数のデータ要素に対して作用するシフト演算を有するプロセッサについて説明する。

このプロセッサは、制御信号を受信するように結合されたデコーダを備える。制御信号は、第1のソース・アドレスと、第2のソース・アドレスと、宛先アドレスと、命令フィールドとを有する。第1のソース・アドレスは第1の場所に対応する。第2のソース・アドレスは第2の場所に対応する。宛先アドレスは第3の場所に対応する。演算フィールドは、あるタイプのバックされたデータのシフト演算を行うことを示す。プロセッサはさらに、デコーダに結合された回路を備える。この回路は、第1の場所に格納された第1のバックされたデータを第2の場所に格納された値によってシフトする回路である。この回路はさらに、対応するバックされた結果データを第3の場所に伝達する。

本説明および図には多くの詳細が含まれるが、本発明は請求の範囲によって定義される。本発明には、それらの請求の範囲に記載されている限定だけが適用される。

#### 図面の簡単な説明

本発明を、図面に限定的なものではなく例として図示する。同様の参照符号は同様の要素を示す。

第1図は、本発明の方法および装置を使用するコンピュータ・システムの実施形態を示す図である。

第2図は、本発明のプロセッサの実施形態を示す図である。

第3図は、プロセッサがレジスタ・ファイル内のデータを操作するために使用する一般的なステップを示す流れ図である。

第4 a 図は、記憶データ・タイプを示す図である。

第4 b 図、第4 c 図、および第4 d 図は、レジスタ内整数データ表現を示す図である。

第5 a 図は、バックされたデータ・タイプを示す図である。

第5 b 図、第5 c 図、および第5 d 図は、レジスタ内バックされたデータ表現を示す図である。

第6 a 図は、バックされたデータの使用を示す、コンピュータ・システムで使用される制御信号形式の図である。

第6 b 図は、バックされたデータの使用を示す、コンピュータ・システムで使用可能な第2の制御信号形式の図である。

第7 図は、バックされたデータに対してシフト演算を行うときにプロセッサが従う方法の一実施形態を示す図である。

第8 図は、バックされたデータの個々のバイトを処理することができる回路を示す図である。

### 好ましい実施形態の説明

#### 概要

複数のデータ要素に対して作用するシフト演算を有するプロセッサについて説明する。以下の説明では、本発明を十分に理解することができるように、回路などの多くの特定の詳細を記載する。他の場合には、本発明が無用に不明瞭にならないように、周知の構造および技法については詳細に示さない。

#### 定義

本発明の実施態様の説明を理解する基礎となるように、以下のように定義を示す。

ビットXないしビットY：二進数のサブフィールドを規定する。たとえば、（基数2で示した）バイト00111010<sub>2</sub>のビット6ないしビット0は、111010<sub>2</sub>のサブフィールドを表す。二進数の後の「2」は基数2を示す。したがって、1000<sub>2</sub>は8<sub>10</sub>に等しく、F<sub>16</sub>は15<sub>10</sub>に等しい。

R<sub>x</sub>： レジスタである。レジスタは、データの記憶と供給を行うことができ

る任意の案子である。レジスタの他の機能については後述する。レジスタはプロセッサのパッケージの一部であるとは限らない。

DEST: データ・アドレスである。

SRC1: データ・アドレスである。

SRC2: データ・アドレスである。

結果: DESTによってアドレス指定されたレジスタに格納されるデータである。

ソース1: SRC1によってアドレス指定されたレジスタに格納されているデータである。

ソース2: SRC2によってアドレス指定されたレジスタに格納されているデータである。

#### コンピュータ・システム

第1図を参照すると、本発明の実施形態を実施することができるコンピュータ・システムが、コンピュータ・システム100として図示されている。コンピュータ・システム100は、情報を伝送するバス101またはその他の通信ハードウェアおよびソフトウェアと、バス101に結合された情報を処理するプロセッサ109とを備える。コンピュータ・システム100はさらに、バス101に結合され、プロセッサ109によって実行される情報と命令を記憶するランダム・アクセス・メモリ(RAM)またはその他のダイナミック記憶装置(メイン・メモリ104と呼ぶ)を備える。メイン・メモリ104は、プロセッサ109によ

る命令の実行中に変数またはその他の中間情報を一時的に記憶するためにも使用することができる。コンピュータ・システム100は、バス101に結合され、プロセッサ109のための静的情報および命令を記憶する読取り専用メモリ(ROM)106またはその他のスタティック記憶装置あるいはその両方も備える。バス101には情報と命令を記憶するデータ記憶装置107が結合されている。

さらに、コンピュータ・システム100には磁気ディスクや光ディスクなどのデータ記憶装置107とそれに対応するディスク・ドライブを結合することができる。コンピュータ・システム100は、コンピュータ・ユーザに情報を表示す



るためにバス101を介して表示装置121にも結合することができる。表示装置121は、フレーム・バッファ、専用グラフィックス・レンダリング装置、陰極線管(CRT)、フラット・パネル・ディスプレイを含むことができる。プロセッサ109に情報とコマンド選択を伝えるために、英数字およびその他のキーを備える英数字入力装置122が、典型的にはバス101に結合されている。他のタイプのユーザ入力装置は、プロセッサ109に指示情報とコマンド選択を伝え、表示装置121上のカーソル移動を制御する、マウス、トラックボール、ペン、タッチ画面、カーソル指示キーなどのカーソル制御装置123である。この入力装置は一般に、第1の軸(たとえばx)と第2の軸(たとえばy)の2つの軸に2つの自由度を持ち、それによってこの装置は平面内の位置を指定することができる。しかし、本発明は、2つの自由度しかもたない入力装置には限定されない。

バス101に結合することができる他の装置は、命令、データ、またはその他の情報を、紙、フィルム、または同様のタイプの媒体などの媒体に印刷するために使用することができるハード・コピー装置124である。さらに、コンピュータ・システム100は、情報を記録するためにマイクロホンに結合されたオーディオ・ディジタル化など、録音または再生あるいはその両方のための装置125に結合することができる。さらに、この装置は、ディジタル化された音声を再生するためにディジタルーアナログ(D/A)変換器に結合されたスピーカも含むことができる。

また、コンピュータ・システム100は、コンピュータ・ネットワーク(たとえばLAN)内の端末とすることもできる。その場合、コンピュータ・システム100は、いくつかのネットワーク化された装置を含むコンピュータ・システムのコンピュータ・サブシステムとなる。コンピュータ・システム100は、任意選択としてビデオ・ディジタル化装置126を備える。ビデオ・ディジタル化装置126を使用して、ビデオ画像を捕らえ、それをコンピュータ・ネットワーク上の他の装置に送信することができる。

コンピュータ・システム100は、コンピュータ・サポータード・コオペレー

ション (CSC: 電子会議と混在媒体データ操作とが統合されたもの)、二次元／三次元グラフィックス、画像処理、ビデオ圧縮／圧縮解除、認識アルゴリズム、および音声操作に対応するのに有用である。

#### プロセッサ

第2図にプロセッサ109の詳細図を示す。プロセッサ109は、BiCMOS、CMOS、NMOSなどのいくつかの処理技法のいずれかを使用して、1つまたは複数の基板上に実装することができる。

プロセッサ109は、プロセッサ109が使用する制御信号とデータをデコードするデコーダ202を備える。その場合、データは内部バス205を介してレジスタ・ファイル204に格納することができる。明確に言えば、実施形態のレジスタは特定のタイプの回路にのみに限定されることを意味しない。むしろ実施形態のレジスタは、データの記憶および供給と、本明細書に記載の機能を実行することができる。

データは、データのタイプに応じて、整数レジスタ201、レジスタ209、状態レジスタ208、または命令ポインタ・レジスタ211に格納することができる。たとえば浮動小数点レジスタなど他のレジスタをレジスタ・ファイル204に含めることができる。一実施形態では、整数レジスタ201には、32ビットの整数データが格納される。一実施形態では、レジスタ209にはR<sub>212a</sub>～R<sub>212h</sub>の8個のレジスタが含まれる。レジスタ209内の各レジスタ長は64ビットである。R<sub>212a</sub>、R<sub>212b</sub>、およびR<sub>212c</sub>がレジスタ209内の個々のレジスタの例である。レジスタ209内の32ビットの

レジスタを、整数レジスタ201内の整数レジスタに移動させることができる。同様に、整数レジスタ内の値をレジスタ209内の32ビットのレジスタに移動させることができる。

状態レジスタ208は、プロセッサ109の状態を示す。命令ポインタ・レジスタ211には、次に実行される命令のアドレスが格納される。整数レジスタ201、レジスタ209、状態レジスタ208、および命令ポインタ・レジスタ211はすべて内部バス205に接続されている。内部バスには任意の追加のレジ

スタが接続される。

他の実施形態では、これらのレジスタのうちのいくつかは2つの異なるタイプのデータに使用することができる。たとえば、レジスタ209と整数レジスタ201を組み合わせ、各レジスタに整数データまたはパックされたデータを格納することができる。他の実施形態では、レジスタ209を浮動小数点レジスタとして使用することができる。この実施形態では、パックされたデータはレジスタ209または浮動小数点データに格納することができる。一実施形態では、組み合わせられたレジスタの長さは64ビットで、整数は64ビットで表される。この実施形態では、パックされたデータと整数データを格納する際に、レジスタはその2つのデータ・タイプを区別する必要がない。

機能ユニット203は、プロセッサ109が行う演算を実行する。このような演算には、シフト、加算、減算、乗算などが含まれる。機能ユニット203は内部バス205に接続している。キャッシュ206は、プロセッサ109の任意選択要素であり、たとえばメイン・メモリ104からのデータまたは制御信号あるいはその両方をキャッシュするために使用される。キャッシュ206は、デコーダ202に接続され、制御信号207を受信するように接続されている。

第3図に、プロセッサ109の動作概要を示す。すなわち、第3図にはプロセッサ109がパックされたデータに対する演算、アンパックされたデータに対する演算、または他の何らかの操作を実行する間にたどるステップが示されている。たとえば、このような操作にはレジスタ・ファイル204内のレジスタに、キャッシュ206、メイン・メモリ104、読取り専用メモリ（ROM）106、またはデータ記憶装置107からデータをロードする操作が含まれる。本発明の

—

実施形態では、プロセッサ109は、米国カリフォルニア州サンタクララのインテル・コーポレーションが販売するIntel 80486<sup>TM</sup>によってサポートされる命令のほとんどをサポートする。本発明の他の実施形態では、プロセッサ109は米国カリフォルニア州サンタクララのインテル・コーポレーションが販売するIntel 80486<sup>TM</sup>によってサポートされるすべての演算をサポートす

る。本発明の他の実施形態では、プロセッサ109は、すべて米国カリフォルニア州サンタクララのインテル・コーポレーションが販売するpentium™プロセッサ、Intel 80486™プロセッサ、80386™プロセッサ、Intel 80286™プロセッサ、およびIntel 8086™プロセッサによってサポートされるすべての演算をサポートする。本発明の他の実施形態では、プロセッサ109は、米国カリフォルニア州サンタクララのインテル・コーポレーションが定義するIA™（インテル・アーキテクチャ）でサポートされるすべての演算をサポートする（米国カリフォルニア州サンタクララのインテルから入手可能な「Microprocessors, Intel Data Books volume 1およびvolume 2、1992年および1993年刊」を参照）。一般に、プロセッサ109はPentium™プロセッサの現行命令セットをサポートすることができるが、将来の命令と本明細書に記載の命令を組み込むように修正することもできる。重要なのは、汎用プロセッサ109が、本明細書に記載の演算に加えて、従来使用されていた演算をサポートすることができることである。

ステップ301で、デコーダ202がキャッシュ206またはバス101から制御信号207を受け取る。デコーダ202は、制御信号をデコードして、実行すべき演算を判断する。

ステップ302で、デコーダ202はレジスタ・ファイル204またはメモリ内の記憶場所にアクセスする。制御信号207で指定されたレジスタ・アドレスに応じて、レジスタ・ファイル204内のレジスタかメモリ内の記憶場所のどちらかにアクセスする。たとえば、バックされたデータに対する演算の場合、制御信号207にはSRC1、SRC2、およびDESTレジスタ・アドレスを含めることができる。SRC1は第1のソース・レジスタのアドレスである。SRC

2は第2のソース・レジスタのアドレスである。すべての演算が2つのソース・アドレスを必要とするわけではないので、場合によってはSRC2アドレスは任意選択である。SRC2アドレスが不要な場合、SRC1アドレスのみが使用される。DESTは、結果データが格納される宛先レジスタのアドレスである。一

実施形態では、SRC1またはSRC2はDESTとしても使用される。SRC1、SRC2、およびDESTについては第6a図および第6b図を参照しながら詳述する。対応するレジスタに格納されているデータをそれぞれSource1、Source2、およびResultと呼ぶ。これらの各データの長さは64ビットである。

本発明の他の実施形態では、SRC1、SRC2、およびDESTのいずれか1つまたは全部は、プロセッサ109のアドレス可能記憶空間内の記憶場所を規定することができる。たとえば、SRC1はメイン・メモリ104内の記憶場所を識別し、SRC2は整数レジスタ201内の第1のレジスタを識別し、DESTはレジスタ209内の第2のレジスタを識別する。本明細書では説明を簡単にするために、レジスタ・ファイル204へのアクセスについて言及するが、これらのアクセスはレジスタ・ファイル204の代わりにメモリに対して行うこともできる。

本発明の他の実施形態では、命令コードはSRC1とSRC2の2つのアドレスしか含まない。この実施形態では、演算の結果はSRC1レジスタまたはSRC2レジスタに格納される。すなわち、SRC1（またはSRC2）をDESTとして使用する。このタイプのアドレス指定は、2つのアドレスしか持たない以前のCISC命令に対応する。これによって、デコーダ202における複雑さが減少する。この実施形態では、SRC1レジスタに含まれるデータを破壊してはならない場合、演算を実行する前にそのデータをまず別のレジスタにコピーしなければならないことに留意されたい。コピーには追加の命令が必要になる。本明細書では説明を簡単にするために、3アドレスのアドレス指定方式について説明する（すなわちSRC1、SRC2、およびDEST）。しかし、一実施形態では制御信号にSRC1とSRC2しか含めることができず、SRC1（またはSRC2）によって宛先レジスタを識別することを想起されたい。

制御信号が演算を必要とする場合、ステップ303で、機能ユニット203がレジスタ・ファイル204内のアクセス・データに対してその演算を実行するようにされる。機能ユニット203で演算が実行されると、ステップ304でその

結果が制御信号207の要件に従ってレジスタ・ファイル204に戻されて格納される。

#### データ形式および記憶形式

第4a図に、第1図のコンピュータ・システムで使用可能なデータ形式をいくつか示す。これらのデータ形式は固定小数点である。プロセッサ109はこれらのデータ形式を操作することができる。マルチメディア・アルゴリズムはこれらのデータ形式を使用することが多い。バイト401は8ビットの情報を含む。ワード402は16ビットの情報、すなわち2バイトを含む。ダブルワード403は32ビットの情報、すなわち4バイトを含む。したがって、プロセッサ109はこれらの記憶データ形式のうちの任意の1つに対して操作を行うことができる制御信号を実行する。

以下の説明では、ビット、バイト、ワード、およびダブルワード・サブフィールドについて言及する。たとえば、(基数2で示す)バイト00111010<sub>2</sub>のビット6ないしビット0はサブフィールド111010<sub>2</sub>を表す。

第4b図ないし第4d図に、本発明の一実施形態で使用するレジスタ内表現を示す。たとえば、無符号バイトのレジスタ内表現410によって、整数レジスタ201内のレジスタに格納されているデータを表すことができる。一実施形態では、整数レジスタ201内のレジスタ長は64ビットである。他の実施形態では、整数レジスタ201内のレジスタ長は32ビットである。説明を簡単にするために、以下の説明では64ビットの整数レジスタについて説明するが、32ビットの整数レジスタを使用することもできる。

無符号バイトのレジスタ内表現410は、プロセッサ109が整数レジスタ201にバイト401を格納し、そのレジスタ内のビット7ないしビット0の先頭8ビットがそのデータ・バイト401専用であることを示している。これらのビットを**|b|**と示す。このバイトを正しく表すには、残りの56ビットがゼロで

なければならない。符号付きバイトのレジスタ内表現411の場合、整数レジスタ201にはデータはビット6ないしビット0の最初の7ビットにデータとして格納される。7番目のビットは符号ビットを表し、**|s|**で示す。残りのビット